

**Assegno di Ricerca Fondi H2020 EPI (prof. Luca Benini)**

**Laurea (VO/LM/LS) in Ingegneria Elettronica o dell'informazione**

**Co-Tutor: Prof. Andrea Bartolini**

## **TITOLO**

### ***Prototipizzazione, verifica e caratterizzazione tramite co-simulazione HW/SW di PULP-controller***

Con la fine della legge di miniaturizzazione di Dennard, l'ultima decade ha visto il progressivo aumento della densità di potenza richiesta per operare ciascuna nuova generazione di processori alle sue massime performance. I Supercalcolatori hanno sofferto di questo aumento, aumentando nel corso degli anni il costo associato ai consumi energetici ed alla dissipazione del calore. Per alleggerire questi problemi nel settore del calcolo ad alte prestazioni, i processor integrano al loro interno dei componenti HW dedicati alla gestione dinamica dei consumi, al controllo della temperatura interna ed all'efficientamento energetico.

Per raggiungere questi goal il power controller deve: (i) interfacciarsi con i diversi sensori on-chip ed off-chip e con le interfacce HW di controllo dei consumi; (ii) eseguire algoritmi complessi appartenenti al controllo ottimo, al signal processing, e all'intelligenza artificiale.

PULP è una piattaforma di calcolo open-source sviluppata in modo congiunto dall'Università di Bologna e dall'ETHZ per sopperire alle crescenti richieste di calcolo delle piattaforme IoT. Consiste in un insieme di IP RTL, rilasciate con licenza solderpad, assemblate per realizzare un completo SoC. Include processori, sottosistemi di memoria, e periferiche.

La piattaforma PULP è stata usata per creare un IP power controller open-source con il nome di PULP-controller. Al fine di verificare, caratterizzare e realizzare correttamente PULP-controller è necessario co-simulare l'RTL con il suo firmware in un contesto realistico, ovvero con i modelli termici e di potenza relativi al processore HPC emulato.

### **Attività di ricerca**

L'attività di supporto alla ricerca si colloca all'interno della prima fase (SGA1) del progetto *European Processor Initiative* (EPI), il cui scopo è il design e la realizzazione di una nuova classe di processori a basso consumo per applicazioni quali SuperComputing, Big\_Data, e altre tematiche emergenti. Nello specifico l'attività è incentrata nella prototipizzazione del IP power controller, e sue estensioni, verifica funzionale e prestazionale su sistema di co-emulazione basata su FPGA Zynq. L'Attività è in linea con il WP4,7,8 dell'European Processor Initiative.

### **Piano dell'attività**

Il ricercatore acquisirà o consoliderà, parallelamente all'attività di ricerca, la conoscenza di: i) metodologie di progettazione FPGA e co-simulazione HIL; ii) architetture multicore eterogenee, le loro caratteristiche di performance; iii) progettazione di sistemi multicore per CPS e loro integrazione con processori ad alte performance. L'attività di ricerca si svolgerà nell'ambito del WP4, WP7 e WP8 del progetto europeo EPI.

La ricerca comprenderà le seguenti fasi:

- Realizzazione di un emulatore completo su FPGA di PULP controller su sistema Zynq.
- Integrazione dell'IP Pulp controller con l'emulazione della control network ed interfacce di power management / sensori propri dei sistemi HPC.
- Integrazione delle interfacce con modelli algebrici e dinamici del consumo di potenza, performance e dissipazione termica.
- Integrazione con security subsystem.
- Verifica e caratterizzazione funzionale e delle performance del design in casi d'uso realistici.
- Diffusione del lavoro attraverso conferenze e riviste internazionali

### ***Implementation, verification and characterization of PULP-controller through HW/SW co-simulation***

With the end of Dennard's scaling, the last decade has seen a progressive increase of the power density required to operate each new processor generation at its maximum performance. Supercomputing installations have suffered from this power density increase, which over the years has pushed up the energy provisioning and cooling costs. To mitigate these effects processors in this market segment, embed dedicated HW resources to control the power consumption dynamically, prevent thermal hazards, and increase the energy efficiency of the computation.

To achieve these goals the power controller has to: (i) interface with several on-chip and off-chip sensors, and power management interfaces and actuators; (ii) perform complex computational tasks, like automation control, signal processing, optimisation and machine learning algorithms.

PULP is an open-source parallel computing platform developed as a joint project between ETHZ and University of Bologna, originally developed with the aim of satisfying the computational demands of IoT applications requiring flexible processing of data streams typically generated by multiple sensors. It consists of a set of register transfer level IPs, released under Solderpad license, assembling a complete system on chip infrastructure, hence including processors, communication system, memory system and peripheral system.

The PULP platform can be used to create an open-source power controller IP with name PULP-controller. To verify, characterize and correctly implement PULP-controller it is important to co-simulate it with the actual control firmware and while simulating the HPC processor's thermal and power model.

### **RESEARCH ACTIVITY**

The research support activity is part of the first phase (SGA1) of the European Processor Initiative (EPI) project, whose purpose is the design and implementation of a new class of low-consumption processors for applications such as SuperComputing, Big\_Data, and other emerging fields. Specifically, the activity is focused on the prototyping of the IP power controller, and its extensions, functional and performance verification on a co-emulation system based on Zynq FPGA. The activity is in line with the WP4,7,8 of the European Processor Initiative.

## **ACTIVITY PLAN**

The researcher will acquire and consolidate, in parallel to the research activities, the knowledge of: i) FPGA design methodologies and HIL co-simulation; ii) heterogeneous multicore architectures, their performance characteristics; iii) design of multicore systems for CPS and their integration with high performance processors. The research activity will take place within the framework of WP4, WP7 and WP8 of the European EPI project.

The research will encompass the following phases:

- Implementation of a complete emulator on FPGA of PULP controller on Zynq system.
- Integration of the IP Pulp controller with the emulation of the control network and power management / sensor interfaces of the HPC systems.
- Integration of interfaces with algebraic and dynamic models of power consumption, performance and thermal dissipation.
- Integration with security subsystem.
- Verification and functional characterization and design performance in realistic use cases.
- Dissemination of the work through international conferences and journals